

Учреждение образования  
БЕЛОРУССКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ  
ИНФОРМАТИКИ И РАДИОЭЛЕКТРОНИКИ

УДК 004.031.4; 004.414.32

**КЛЮЧЕНЯ**  
**Виталий Васильевич**

**БЫСТРОЕ ПРОТОТИПИРОВАНИЕ ВСТРАИВАЕМЫХ  
ПРОЦЕССОРОВ ДИСКРЕТНОГО КОСИНУСНОГО  
ПРЕОБРАЗОВАНИЯ ДЛЯ ТРАНСФОРМАЦИОННОГО  
КОДИРОВАНИЯ ИЗОБРАЖЕНИЙ**

**АВТОРЕФЕРАТ**  
диссертации на соискание ученой степени  
кандидата технических наук

по специальности 05.13.05 – Элементы и устройства вычислительной  
техники и систем управления

Минск 2017

Работа выполнена в учреждении образования «Белорусский государственный университет информатики и радиоэлектроники».

Научный руководитель

**Петровский Александр Александрович**, доктор технических наук, профессор, заведующий кафедрой электронных вычислительных средств учреждения образования «Белорусский государственный университет информатики и радиоэлектроники»

Официальные оппоненты:

**Дудкин Александр Александрович**, доктор технических наук, профессор, заведующий лабораторией «Идентификация систем» Объединенного института проблем информатики Национальной академии наук Беларуси

**Лукашевич Марина Михайловна**, кандидат технических наук, доцент кафедры электронных вычислительных машин учреждения образования «Белорусский государственный университет информатики и радиоэлектроники»

Оппонирующая организация

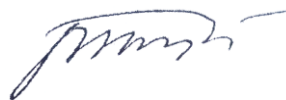
Белорусский государственный университет

Защита состоится 20 апреля 2017 г. в 14.00 на заседании совета по защите диссертаций Д 02.15.01 при учреждении образования «Белорусский государственный университет информатики и радиоэлектроники» по адресу: 220013, Минск, ул. П. Бровки, 6, корп. 1, ауд. 232, тел. 293-89-89, e-mail: dissovet@bsuir.by.

С диссертацией можно ознакомиться в библиотеке учреждения образования «Белорусский государственный университет информатики и радиоэлектроники».

Автореферат разослан 20 марта 2017 г.

Ученый секретарь  
совета по защите диссертаций,  
кандидат технических наук



М.П. Ревотюк

## КРАТКОЕ ВВЕДЕНИЕ

На сегодняшний день широко распространены мобильные мультимедийные системы, которые используют стандарты H.261/3/4/5, MPEG-1/2/4 и JPEG для кодирования/декодирования видео, аудио и изображений. Ядром этих стандартов является дискретное косинусное преобразование (ДКП) I, II, III ... VIII типов. Перед кодированием изображение разбивается на сегментные блоки, а затем каждый блок подвергается преобразованию. При увеличении размера блока преобразования растет как эффективность кодирования, так и вычислительная сложность, улучшаются субъективные и объективные показатели, поэтому на практике, например в стандарте H.265/HVC, чаще всего выбираются блоки размером  $8 \times 8$  или  $16 \times 16$  пикселей и выше. Большинство устройств такого класса выполняются на основе арифметики с фиксированной запятой и быстрых алгоритмов преобразования, которые позволяют получить хорошие результаты по скорости вычисления, аппаратным затратам, потребляемой мощности, сложности алгоритмов выполнения арифметических операций.

В стандартах JPEG, JPEG2000 и JPEG-XR декоррелирующие преобразования оптимизированы для работы в соответствующем режиме с потерями (lossy) и без потерь (lossless). Системы сжатия изображений, работающие по схеме L2L (lossless-to-lossy), позволяют унифицировать декоррелирующее преобразование и уменьшить вычислительную сложность кодера. Известные целочисленные ДКП (BinDCT, IntDCT) не дают полного обратимого бит в бит преобразования. Широкая поддержка в огромном количестве мультимедийных приложений формата JPEG схемотехническими и программными решениями и острая необходимость кодирования изображений по схеме L2L обуславливает актуальность проблемы создания декоррелирующего преобразования на основе ДКП, осуществляющего преобразование «целое к целому», и методов быстрого прототипирования процессоров вычисления целочисленного ДКП и реализацию на их основе систем трансформационного кодирования изображений по схеме L2L, характеризующиеся модульностью, параллелизмом вычислений, малой емкостью буферной памяти и низкой потребляемой мощностью при проектировании на программируемых системах на кристалле ПЛИС (FPSoC – Field Programmable System-on-Chip). При этом прямое и обратное преобразование должно осуществляться по схеме обработки «целое к целому» с сохранением перфективной реконструкции исходного изображения (коэффициенты представляются целыми или двоичными рациональными числами; число операций умножения минимально, по возможности они исключаются из алгоритма).

## ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

### Связь работы с крупными научными программами и темами

Диссертационная работа выполнена в соответствии с научно-техническими заданиями и планами работ кафедры «Электронные вычислительные средства» научно-исследовательской лаборатории 3.1 «Мультипроцессорные системы реального времени» учреждения образования «Белорусский государственный университет информатики и радиоэлектроники» и проводилась в соответствии с государственными научными темами, выполненными в рамках бюджетного финансирования Республики Беларусь:

1. Разработка алгоритмического и аппаратно-программного обеспечения обработки мультимедиаданных; рук. д-р техн. наук, проф. А.А. Петровский. – Минск, 2011. – ГБ № 11-2008. – 01.01.2011 – 31.12.2015 гг.

2. Быстрое прототипирование процессоров ортогональных преобразований с лестничной и решетчатой структурной параметризацией для систем компрессии мультимедиаданных / Белорусский республиканский фонд фундаментальных исследований и Министерство образования Республики Беларусь; рук. канд. техн. наук Д.С. Лихачёв. – Минск, 2014. – № ГР 20123091. – 15.04.2012 – 31.03.2014 гг.

### Цель и задачи исследования

Целью работы является разработка методов структурного синтеза целочисленных дискретных косинусных преобразований для трансформационного кодирования изображений по схеме L2L и их быстрое прототипирование в программируемые системы на кристалле ПЛИС.

Поставленная цель определяет следующие задачи исследования:

1. Анализ и обоснование выбора блочной лестничной структурной параметризации на основе прямого и обратного ДКП (ОДКП) как обратимого линейного преобразования для систем трансформационного кодирования изображений по схеме L2L.

2. Разработать методы структурного синтеза целочисленных быстрых ДКП на основе решения многокритериальной задачи оптимизации для заданных структурных ограничений.

3. Найти архитектурные решения процессора разделимого 2D преобразования на основе блочной лестничной структурной параметризации ДКП-ОДКП, осуществляющего перфективную реконструкцию исходного изображения по схеме обработки «целое к целому».

4. Реализовать программируемую систему на кристалле ПЛИС (FPSoC) для компрессии цифровых изображений по схеме L2L на основе целочисленного 2D

преобразования с блочной лестничной структурной параметризацией ДКП-ОДКП и провести объективное и субъективное тестирование.

### **Научная новизна**

1. Алгоритм блочной лестничной структурной параметризации декоррелирующего преобразования в схеме трансформационного кодирования L2L на основе целочисленных прямого и обратного ДКП с коррекцией артефакта «шахматная доска» в восстановленном изображении, особенностью которого является параллельное вычисление ДКП и ОДКП в итерационном цикле.

2. Метод структурного синтеза целочисленных быстрых ДКП на основе решения многокритериальной задачи оптимизации при заданных ограничениях, что позволяет найти рациональные схемные решения, характеризующиеся модульностью, регулярностью структуры, конвейеризацией вычислений, малым размером памяти.

3. Быстрые алгоритмы целочисленной аппроксимации модифицированной схемы Лофлера вычисления 8-ДКП<sub>II</sub> на основе конвейеризации вычислений, операции вращения на нетривиальные углы у которых выполняются с помощью двух альтернативных методов: распределенной арифметики и лестничной схемной параметризации с рациональными коэффициентами, при этом структуры процессоров целочисленных ДКП представляют собой многоступенчатые конвейеры, достоинством которых является возможность настройки на заданную производительность за счет выбора параллелизма в ступенях конвейера.

4. Архитектура процессора перфективного 2D целочисленного декоррелирующего преобразования на основе блочной лестничной параметризации ДКП-ОДКП, вычислительный процесс в котором организован по рекурсивной вычислительной схеме, что позволяет за три процессорных цикла выполнить прямое и обратное преобразования блочной лестничной структурной параметризации ДКП-ОДКП блока изображения  $M \times M$  и за  $(N/M)^2$  итерации вычислить 2D декоррелирующее преобразование изображения  $N \times N$  пикселей, причем прямое и обратное ДКП выполняются параллельно в цикле синхронизации процессора и аппаратные затраты сокращаются в два раза.

5. Программируемая система на кристалле ПЛИС с архитектурой FPGA (Field programmable gate arrays) XC4 VLX25-FF668-10 трансформационного кодирования цифровых изображений по схеме L2L: компрессия и восстановление изображений как без потерь, так и с контролируемым внесением артефактов, где управляющим ядром является софт-процессор MICROBLAZE, а универсальный процессор 2D ДКП-ОДКП подключен в виде IP-компоненты. В режиме кодирования цифровых изображений без потерь исходное и реконструированное изображения идентичны,

в режиме с потерями результаты сжатия 1:32, 1:16 и 1:8 по объективному показателю PSNR (peak signal noise ratio) сопоставимы с альтернативными преобразованиями и изображение восстанавливается без видимых артефактов «блочности» и «ореолов», а для изображений с относительно сильными высокочастотными компонентами 2D ДКП-ОДКП преобразование имеет выше эффективность – от 1 до 3 дБ.

### **Положения, выносимые на защиту**

1. Алгоритм блочной лестничной структурной параметризации декоррелирующего преобразования в схеме трансформационного кодирования L2L на основе целочисленного прямого и обратного ДКП с коррекцией артефакта «шахматная доска» в восстановленном изображении.

2. Метод структурного синтеза целочисленных быстрых ДКП на основе решения многокритериальной задачи оптимизации при заданных ограничениях.

3. Быстрые алгоритмы целочисленной аппроксимации модифицированной схемы Лофлера вычисления 8-ДКП<sub>II</sub> на основе конвейеризации вычислений, операции вращения на нетривиальные углы у которых выполняются с помощью двух альтернативных методов: распределенной арифметики и лестничной схемной параметризации с рациональными коэффициентами.

4. Архитектура процессора перфективного 2D целочисленного декоррелирующего преобразования на основе блочной лестничной параметризации ДКП-ОДКП.

5. Программируемая система на кристалле ПЛИС с архитектурой FPGA XC4VLX25-FF668-10 трансформационного кодирования цифровых изображений по схеме L2L: компрессия и восстановление изображений как без потерь, так и с контролируемым внесением артефактов, где управляющим ядром является софт-процессор MICROBLAZE, а процессор перфективного целочисленного 2D ДКП-ОДКП преобразования включен в виде IP-компоненты.

### **Личный вклад соискателя ученой степени**

Результаты, приведенные в диссертации, получены соискателем лично. Вклад научного руководителя доктора технических наук, профессора А.А. Петровского связан с постановкой целей и задач исследований, определением возможных путей решения и обсуждением результатов исследований, проводимых автором. В публикациях с соавторами вклад соискателя определяется рамками излагаемых в диссертации результатов.

## **Апробация диссертации и информация об использовании ее результатов**

Основные результаты диссертационной работы докладывались и обсуждались на 14 международных и республиканских научных конференциях: 5th International Conference on Neural Networks and Artificial Intelligence (ICNNAI'2008) – Minsk, 2008; XIII международная научно-техническая конференция «Современные средства связи» – Минск, 2008; V и VI международная конференция-форум «Информационные системы и технологии» (IST'2009, IST'2010) – Минск, 2009, 2010; 11th and 12th International Conference Pattern Recognition and Information Processing (PRIP'2011, PRIP'2012) – Minsk, 2011, 2012; «Информационные технологии и системы» (ITS'2011, ITS'2012, ITS'2013, ITS'2014) – Минск, 2011, 2012, 2013, 2014; 15, 16 и 17-я международная конференция «Цифровая обработка сигналов и ее применение» (DSPA'2013, DSPA'2014, DSPA'2015) – Москва, 2013, 2014, 2015; Международная научно-техническая конференция, приуроченная к 50-летию МРТИ – БГУИР – Минск, 2014.

## **Опубликование результатов диссертации**

По материалам диссертации опубликованы 20 печатных работ, в том числе 1 глава в монографии, 3 статьи в рецензируемых научных журналах, 8 статей в сборниках материалов научных конференций и 8 тезисов докладов. Результаты диссертационной работы включены в 2 отчета по НИР.

Общий объем публикаций по теме диссертации, соответствующий пункту 18 Положения о присуждении ученых степеней и присвоении ученых званий в Республике Беларусь, составляет около 9,2 авторского листа.

## **Структура и объем диссертации**

Диссертационная работа состоит из введения, общей характеристики работы, пяти глав, заключения, библиографического списка и четырех приложений. Общий объем диссертационной работы составляет 229 страниц, из них 98 страниц основного текста, 82 рисунка на 53 страницах, 21 таблица на 20 страницах, библиография из 112 наименований, включая 20 публикации автора, на 10 страницах и четыре приложения на 48 страницах.

## **ОСНОВНАЯ ЧАСТЬ**

Во **введении** обоснована актуальность темы диссертационной работы, дана краткая характеристика исследуемых вопросов, определена область, основные направления, цель и задачи исследования.

**Первая глава** посвящена эффективным применениям и способам вычисления дискретного косинусного преобразования. В качестве примера и основной

схемы компрессии мультимедиаданных использовался алгоритм сжатия полутонных изображений на основе трансформационного кодирования. Основным и часто используемым ядром преобразования является дискретное косинусное преобразование II типа или ДКП-II длиной  $N$ , которое описывается формулами

$$[\mathbf{C}]_{m,n} = \sqrt{\frac{2}{M}} c_m \cos\left(\frac{m(n+\frac{1}{2})\pi}{M}\right); [\mathbf{D}]_{m,n} = \sqrt{\frac{2}{M}} c_n \cos\left(\frac{n(m+\frac{1}{2})\pi}{M}\right),$$

где  $\mathbf{D} = \mathbf{C}^{-1} = \mathbf{C}^T$ ;  $0 \leq m, n \leq M - 1$ ;  $[\mathbf{C}]_{m,n}$  – матрица прямого ДКП II типа;  $[\mathbf{D}]_{m,n}$  – матрица ДКП III типа, являющаяся обратной для ДКП II типа;  $m$  – количество столбцов;  $n$  – количество строк;  $M = 2^n$  ( $n \in \mathbb{N}$ );  $c_m = 1/\sqrt{2}$  для  $m = 0$  и  $c_m = 1$  при  $m \neq 0$ ;  $c_n = 1/\sqrt{2}$  для  $n = 0$  и  $c_n = 1$  при  $n \neq 0$ .

При обработке изображений используется двумерное разделимое дискретное косинусное преобразование, где преобразование происходит сначала по строкам, а потом по столбцам и математически описывается для блока размерностью  $M \times M$  выражением

$$\mathbf{y} = (\mathbf{C}(\mathbf{C}\mathbf{x})^T)^T = \mathbf{C}\mathbf{x}\mathbf{C}^T,$$

где  $\mathbf{x}$  – блок исходного изображения;  $\mathbf{y}$  – результат обработки;  $\mathbf{C}$  – матрица прямого преобразования ДКП и  $\mathbf{C}^T$  – транспонированная матрица или обратная преобразования ДКП.

Актуальной задачей является разработка структурных и схемотехнических решений алгоритмов ДКП, которые позволяли бы уменьшить число операций умножения или избавиться от них вовсе. Одним из наиболее эффективных способов реализации ДКП является схема Лофлера, в основе которой алгоритмы 8-точечного или 16-точечного ДКП могут быть представлены с минимальным количеством операций умножения, также данные схемы обладают модульной и регулярно повторяющейся структурой. Системы сжатия данных на основе ДКП являются системами сжатия с потерями данных. Для того чтобы на их основе сделать схему компрессии данных без потерь, использовался математический аппарат на основе блочной лестничной структурной параметризации (БЛСП), который обладает свойством перфективного или полного восстановления данных. В БЛСП входные векторы  $\mathbf{x}_i$  и  $\mathbf{x}_j$  размерностью  $M \times 1$  преобразуются в выходные векторы  $\mathbf{y}_i$  и  $\mathbf{y}_j$ , используя невырожденные матрицы преобразования  $\mathbf{T}$  и  $\mathbf{T}^{-1}$  размерностью  $M \times M$  как

$$\begin{bmatrix} \mathbf{y}_i \\ \mathbf{y}_j \end{bmatrix} = \begin{bmatrix} \mathbf{T} & \mathbf{0} \\ \mathbf{0} & \mathbf{T}^{-1} \end{bmatrix} \begin{bmatrix} \mathbf{x}_i \\ \mathbf{x}_j \end{bmatrix}; \begin{bmatrix} \mathbf{T} & \mathbf{0} \\ \mathbf{0} & \mathbf{T}^{-1} \end{bmatrix} = \begin{bmatrix} \mathbf{0} & \mathbf{I} \\ -\mathbf{I} & \mathbf{0} \end{bmatrix} \begin{bmatrix} \mathbf{I} & \mathbf{0} \\ \mathbf{T} & \mathbf{I} \end{bmatrix} \begin{bmatrix} \mathbf{I} & -\mathbf{T}^{-1} \\ \mathbf{0} & \mathbf{I} \end{bmatrix} \begin{bmatrix} \mathbf{I} & \mathbf{0} \\ \mathbf{T} & \mathbf{I} \end{bmatrix},$$

где  $\mathbf{0}$  – нулевая матрица и  $\mathbf{I}$  – единичная матрица размерностями  $M \times M$ ; в качестве параметров  $\mathbf{T}$  и  $\mathbf{T}^{-1}$  в данной структуре могут выступать матрицы любых декоррелирующих преобразований.



**Вторая глава** посвящена анализу и разработке методов быстрого прототипирования перфективного целочисленного декоррелирующего преобразования изображений на основе БЛСП (рисунок 1), где блоками лестничных ступеней являются матрицы прямого или обратного ДКП:

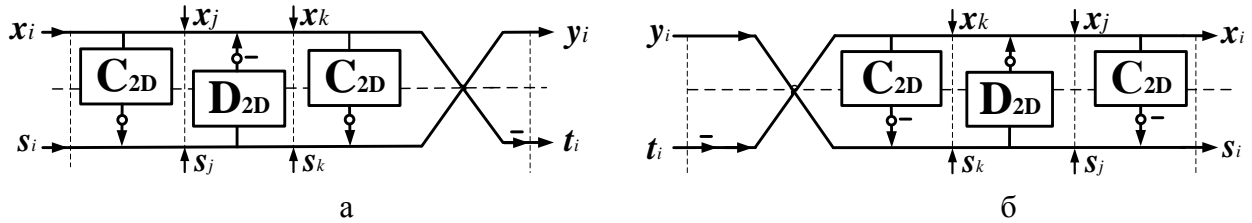
– прямого двумерного

$$\begin{bmatrix} \mathbf{C}_{2D} & \mathbf{0} \\ \mathbf{0} & \mathbf{D}_{2D} \end{bmatrix} = \begin{bmatrix} \mathbf{0} & \mathbf{I} \\ -\mathbf{I} & \mathbf{0} \end{bmatrix} \begin{bmatrix} \mathbf{I} & \mathbf{0} \\ \mathbf{C}_{2D} & \mathbf{I} \end{bmatrix} \begin{bmatrix} \mathbf{I} & -\mathbf{D}_{2D} \\ \mathbf{0} & \mathbf{I} \end{bmatrix} \begin{bmatrix} \mathbf{I} & \mathbf{0} \\ \mathbf{C}_{2D} & \mathbf{I} \end{bmatrix};$$

– обратного двумерного

$$\begin{bmatrix} \mathbf{C}_{2D} & \mathbf{0} \\ \mathbf{0} & \mathbf{D}_{2D} \end{bmatrix}^{-1} = \begin{bmatrix} \mathbf{D}_{2D} & \mathbf{0} \\ \mathbf{0} & \mathbf{C}_{2D} \end{bmatrix} = \begin{bmatrix} \mathbf{I} & \mathbf{0} \\ -\mathbf{C}_{2D} & \mathbf{I} \end{bmatrix} \begin{bmatrix} \mathbf{I} & \mathbf{D}_{2D} \\ \mathbf{0} & \mathbf{I} \end{bmatrix} \begin{bmatrix} \mathbf{I} & \mathbf{0} \\ -\mathbf{C}_{2D} & \mathbf{I} \end{bmatrix} \begin{bmatrix} \mathbf{0} & -\mathbf{I} \\ \mathbf{I} & \mathbf{0} \end{bmatrix},$$

где  $\mathbf{C}_{2D}\mathbf{x}_i \triangleq (\mathbf{C}(\mathbf{C}\mathbf{x}_i)^T)^T = \mathbf{C}\mathbf{x}_i\mathbf{C}^T$  и  $\mathbf{D}_{2D}\mathbf{x}_i \triangleq (\mathbf{D}(\mathbf{D}\mathbf{x}_i)^T)^T = \mathbf{D}\mathbf{x}_i\mathbf{D}^T$ .



а – прямое преобразование; б – обратное преобразование

Рисунок 1. – БЛСП на основе 2D ДКП-ОДКП (кружок – округление)

Так как все фильтры ОДКП имеют постоянную составляющую, то проявляется эффект DC leakages (утечки энергии нулевой частоты в высокочастотные составляющие) в системе преобразования ДКП-ОДКП с БЛСП, что приводит к потере свойства регулярности первого рода банком фильтров ДКП-ОДКП, и в реконструированном изображении проявляется эффект «шахматной доски». Для устранения данного недостатка выбирается перфективное 2D целочисленное декоррелирующее преобразование на основе БЛСП ДКП-ОДКП с включенным дополнительным модулем ОДКП обработки ошибки округления при вычислении ДКП каждого  $M \times M$  блока изображения (**SIB**-блоком), предложенное Сузуки и Икехара. Изначально  $\mathbf{s}_0$  является нулевой матрицей, а  $\mathbf{s}_i$  – итеративное преобразование от  $\mathbf{s}_0$  до  $\mathbf{s}_i$ , как  $\mathbf{s}_i = \mathbf{D}_{2D}\mathbf{s}_{i-1}$  для  $i = 1, 2, \dots, n-1$ . Формулы для прямого и обратного преобразований для всех  $n$ -блоков изображения имеют следующий вид:

$$\begin{bmatrix} y_0 \\ \vdots \\ y_{n-1} \\ s_n \end{bmatrix} = \begin{bmatrix} \mathbf{C}_{2D} & \cdots & \cdots & 0 \\ \vdots & \ddots & & \vdots \\ \vdots & & \mathbf{C}_{2D} & \vdots \\ 0 & \cdots & \cdots & \mathbf{D}_{2D}^n \end{bmatrix} \begin{bmatrix} x_0 \\ \vdots \\ x_{n-1} \\ s_0 \end{bmatrix}; \begin{bmatrix} x_0 \\ \vdots \\ x_{n-1} \\ s_0 \end{bmatrix} = \begin{bmatrix} \mathbf{D}_{2D} & \cdots & \cdots & 0 \\ \vdots & \ddots & & \vdots \\ \vdots & & \mathbf{D}_{2D} & \vdots \\ 0 & \cdots & \cdots & \mathbf{C}_{2D}^n \end{bmatrix} \begin{bmatrix} y_0 \\ \vdots \\ y_{n-1} \\ s_n \end{bmatrix},$$

где  $C_{2D}$  и  $D_{2D}$  – матрицы прямого и обратного двумерного целочисленного ДКП,  $s_n \neq 0$  из-за ошибки целочисленного округления в каждой лестничной ступени.

Преобразователь на основе ДКП-ОДКП с использованием дополнительного информационного SIB-блока по схеме L2L предлагается реализовать на основе рекурсивной структуры процессора (рисунок 2), которая позволит за три процессорных цикла в режиме кодирования без потерь выполнить преобразование БЛСП на базе двумерных матриц целочисленного ДКП и ОДКП (рисунок 3).

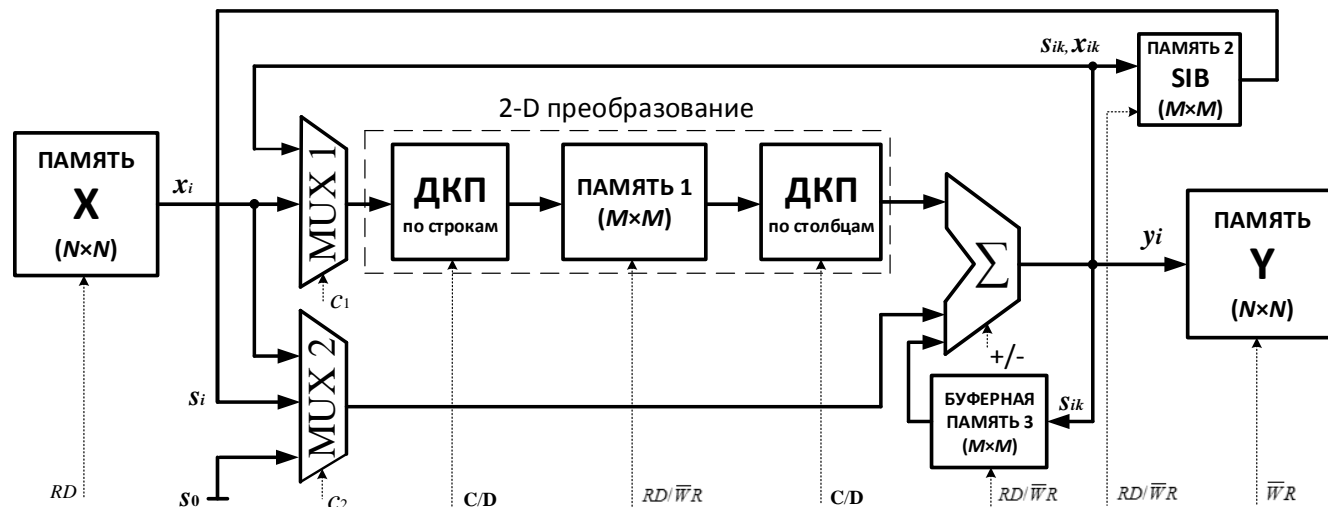


Рисунок 2. – Структура преобразователя ДКП-ОДКП для компрессии по схеме L2L

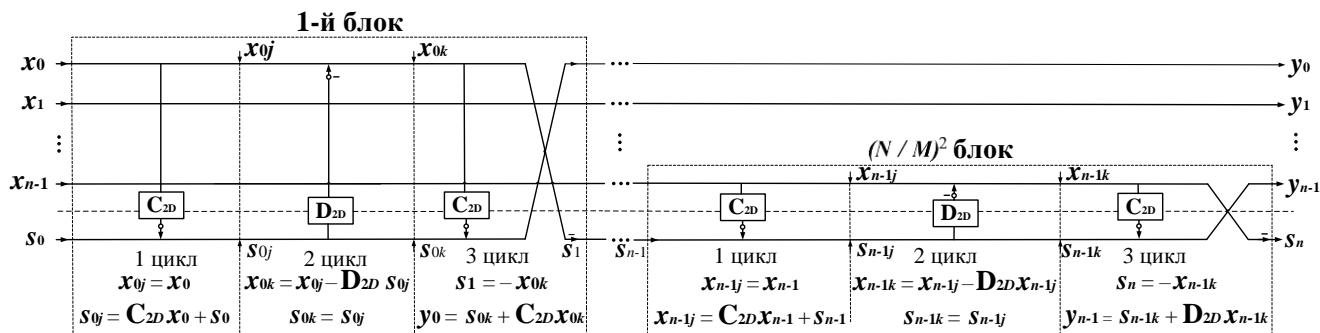


Рисунок 3. – Алгоритм вычисления БЛСП на 2D целочисленных ДКП-ОДКП с информационным SIB-блоком для  $(N/M)^2$  блоков изображения

Алгоритм вычисления ДКП-ОДКП блока  $x_i$  размерностью  $M \times M$  входного изображения базируется на схеме разделимого преобразования столбцов и строк соответственно для прямого  $C_{2D}x_i \triangleq (C(Cx_i)^T)^T = Cx_iC^T$  и обратного  $D_{2D}x_i \triangleq (D(Dx_i)^T)^T = Dx_iD^T$  преобразований. Для этого используются два последовательно включенных через буфер памяти размера  $M \times M$  процессора ДКП, настраиваемых на выполнение прямого и обратного преобразований. Исходное изображение  $X$  размером  $N \times N$  (память  $X$  исходного изображения) разделяется на блоки  $x_i$  ( $0 \leq i \leq n - 1, n = (N/M)^2$ ); для каждого блока  $x_i$  вычисляется ДКП  $y_i = C_{2D}x_i$

параллельно с процессом обработки блоков  $\mathbf{x}_i$  выполняется ОДКП **SIB**-блока  $\mathbf{s}_i$ : для  $i = 0$  **SIB**-блок  $\mathbf{s}_0$  задается нулевой матрицей, а для  $i = 1, 2, \dots, n - 1$  **SIB**-блок  $\mathbf{s}_i$  будет являться итерационным преобразованием от  $\mathbf{s}_0$ :  $\mathbf{s}_i = \mathbf{C}_{2D}\mathbf{s}_{i-1}$ . Следует заметить, что **SIB**-блок  $\mathbf{s}_n \neq 0$  из-за ошибки округления на каждом шаге преобразования. Реконструкция исходного изображения осуществляется из всего потока ДКП коэффициентов  $\mathbf{y}_n$  (память  $\mathbf{Y}$  размером  $N \times N$ ) и **SIB**-блока  $\mathbf{s}_n$ . Каждый блок  $\mathbf{x}_i$  и **SIB**-блок  $\mathbf{s}_i$  восстанавливаются на основе преобразования  $\mathbf{x}_i = \mathbf{D}_{2D}\mathbf{y}_i$  и  $\mathbf{s}_i = \mathbf{C}_{2D}\mathbf{s}_{i+1}$  соответственно без потерь. В режиме кодирования с потерями исходное изображение реконструируется на основе потока коэффициентов ДКП  $\mathbf{y}_n$  без **SIB**-блока  $\mathbf{s}_n$ .

В рамках методологии быстрого прототипирования процессоров ДКП разработан алгоритм структурного синтеза целочисленных быстрых ДКП на основе решения многокритериальной задачи оптимизации, где поиск рационального структурного решения ДКП процессора осуществляется на основе модифицированного метода множителей Лагранжа в виде нахождения экстремального значения заданной целевой функции  $f(x_k)$  среди ограничений  $g_1(x_k) = \text{СКО}(x_k) - \text{СКО}_{\min} \geq 0$ ;  $g_2(x_k) = \text{Power}(x_k) - \text{Power}_{\min} \geq 0$  и т. д., полученных из экспериментальных результатов.

Предложено функционально-архитектурное проектирование, направленное на получение структурных решений целочисленных быстрых ДКП и ОДКП на FPSoC для обратимого «целое к целому» преобразования по схеме L2L с минимальной вычислительной сложностью, обладающих высоким вычислительным параллелизмом, модульностью, малыми размерами буферной памяти, небольшими аппаратными затратами, малой латентностью и потребляемой мощностью, структурной регулярностью и хорошо отображающихся на аппаратное и программное обеспечение.

**Третья глава** посвящена разработке быстрых алгоритмов целочисленной аппроксимации ДКП на основе двух альтернативных методов: распределенной арифметики и лестничной схемной параметризации с рациональными коэффициентами.

Применение распределенной арифметики для реализации вращения Гивенса на нетривиальный угол  $\alpha$  эквивалентно умножению вектора  $\mathbf{x} = [x_1, x_2]^T$  на матрицу вращения Гивенса, где входные данные представляются в смещенном двоичном коде  $x_k = 1/2 [\sum_{n=1}^{B-1} c_{kn} 2^{-n} - 2^{-(B-1)}]$ , а результат умножения вектора  $\mathbf{x}$  равен

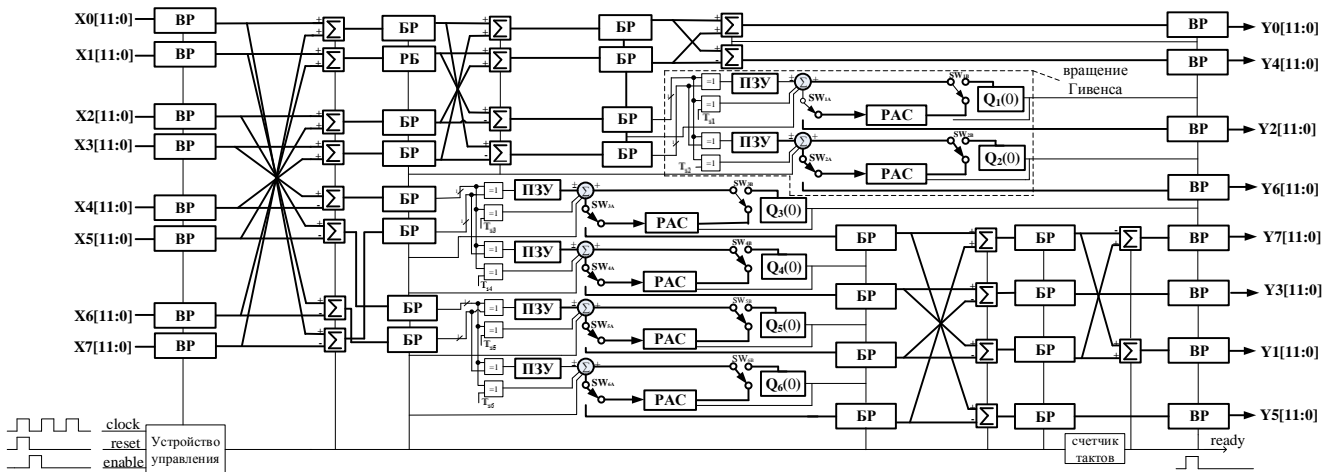
$$y_1 = \sum_{n=0}^{(B/L)-1} Q_1(b_{n1}) 2^{-nL} + 2^{-(B-L)} Q_1(0); \quad y_2 = \sum_{n=0}^{(B/L)-1} Q_2(b_{n2}) 2^{-nL} + 2^{-(B-L)} Q_2(0),$$

где  $B$  – разрядность входных данных;  $L$  – количество обрабатываемых бит за такт (bit-at-a-time – ВААТ);  $\bar{b}_{kn}, \bar{b}_{k0}$  – инверсные значения бит входных переменных  $b_{kn}, b_{k0}$ ;  $c_{kn} = b_{kn} - \bar{b}_{kn}$ ,  $c_{k0} = -(b_{k0} - \bar{b}_{k0})$ ,  $c_{kn}, c_{k0} \in \{-1, 1\}$ ;

$$Q_1(b_{n1}) = \sum_{l=0}^{L-1} \frac{(cc_{1nL+l} - sc_{2nL+l})}{2} 2^{-l}, Q_2(b_{n2}) = \sum_{l=0}^{L-1} \frac{(sc_{1nL+l} + cc_{2nL+l})}{2} 2^{-l}, c = \cos(\alpha),$$

$$s = \sin(\alpha), Q_1(0) = -2^{-L}(c - s), Q_2(0) = -2^{-L}(s + c).$$

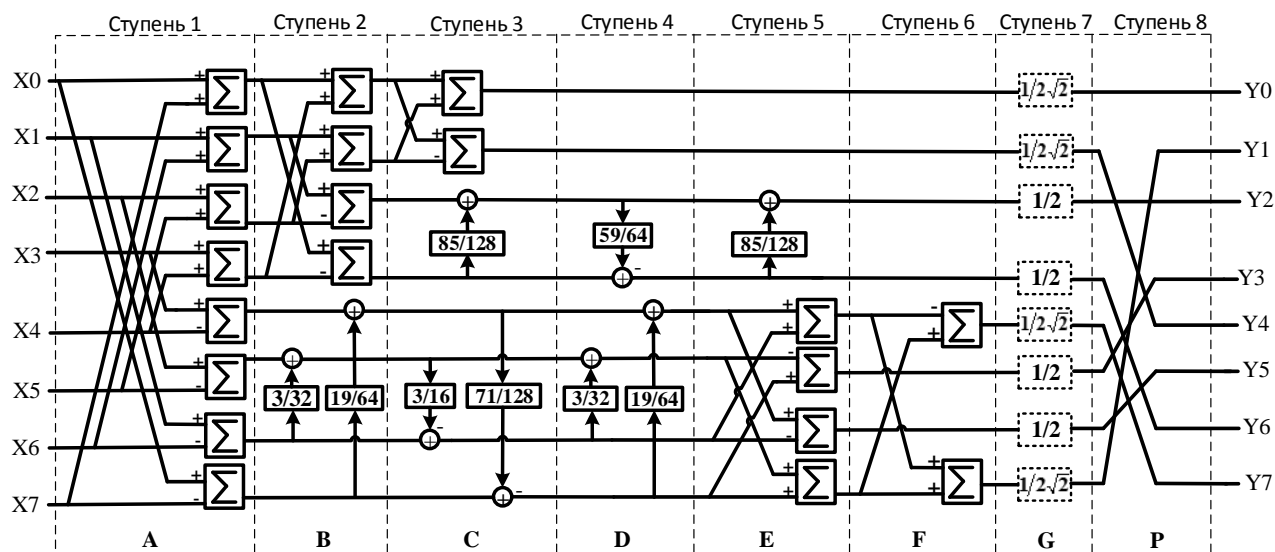
Анализ данного выражения показывает, что для вычисления вектора  $\mathbf{y} = [y_1, y_2]^T$  необходимы два модуля памяти (два постоянных запоминающих устройства (ПЗУ)) на два слова каждый, которые могут быть реализованы на регистрах. Для схемы Лофлера, где происходят три вращения Гивенса на нетривиальный угол, понадобится шесть ПЗУ (рисунок 4), дополнительные буферные регистры (БР), входные и выходные регистры (ВР) и регистры аккумулятора и сдвига (РАС). При этом схема представляет собой синхронный конвейер.



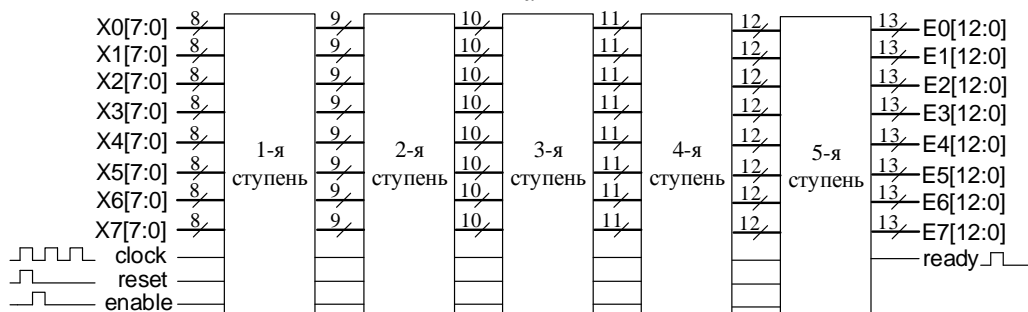
**Рисунок 4. – Модифицированная схема 8-ДКП Лофлера на распределенной арифметике**

Латентность вычисления ДКП равна сумме задержек на трех ступенях суммирования и задержке на вычисление вращения Гивенса, а пропускная способность схемы определяется как  $(B/L + 1)/f_{\max}$ . Увеличение скорости вычисления ДКП на распределенной арифметике достигается за счет распараллеливания процесса обработки (схемы  $L$ -ВААТ). Структура ДКП  $L$ -ВААТ, где  $L = 12$  тактам синхронизации, будет обладать минимальной временной задержкой и максимальной пропускной способностью и время вычисления будет равно  $t_{\text{ДКП}} = 1 + 1 + 1 + 1 = 4$  тактам синхросигнала, а скорость обработки данных возрастет в  $L$  раз и будет равна одному такту. Но существенный недостаток схемы  $L$ -ВААТ – большие аппаратные затраты, так как потребуются в  $L$  раз больше быстродействующих блоков памяти ПЗУ и  $L - 1$  сумматоров по сравнению со схемой 1-ВААТ (см. рисунок 4).

Компромиссной реализацией ДКП процессора является лестничная схемная параметризация, где матрица  $[\mathbf{C}]_{m,n}$  прямого 8-точечного ДКП II типа (8-ДКП II) с учетом шагов лестничной схемной параметризации вращений Гивенса представляется в виде произведения восьми разреженных матриц  $[\mathbf{C}]_{m,n} = \mathbf{P} \cdot \mathbf{G} \cdot \mathbf{F} \cdot \mathbf{E} \cdot \mathbf{D} \cdot \mathbf{C} \times \mathbf{B} \cdot \mathbf{A}$ , каждая из которых описывает структуры ступеней модифицированной схемы ДКП Лофлера (рисунок 5, а).



а



б

а – 8-ДКП<sub>II</sub> с рациональными коэффициентами; б – конвейерная схемаРисунок 5. – Лестничная схемная параметризация модифицированного 8-ДКП<sub>II</sub> Лофлера

8-ДКП<sub>II</sub> на основе лестничной схемной параметризации реализуется в виде линейной многоступенчатой конвейерной схемы, матрицы **G** и **P** выносятся в блок квантования, матрицы **E** и **F** объединяются в пятую ступени, рациональные коэффициенты представляются в виде минимального количества сдвигов и сложений. В целом архитектура состоит из пяти ступеней, каждая ступень содержит два набора регистров и арифметические модули, имеет восемь входов и восемь выходов, а также свои управляющие сигналы, ступень – это отдельный компонент, выход которого подается на вход следующего компонента (рисунок 5, б). Модифицированная схема 8-ДКП<sub>II</sub> на основе лестничной схемной параметризации представляет собой асинхронный конвейер, так как ступени имеют различную скорость вычисления.

Скорость вычисления ДКП будет равна задержки самой трудозатратной ступени, а латентность вычисления ДКП будет равна сумме задержек на каждой ступени конвейера. Максимальное количество тактов равно восьми тактам синхрони-

зации для 1-й и 4-й ступени. Увеличить пропускную способность схемы и уменьшить латентность можно за счет распараллеливания процесса вычисления самых времязатратных ступеней конвейера, но за это придется заплатить увеличением аппаратных затрат.

Разработана архитектура универсального рекурсивного процессора ДКП-ОДКП (рисунок 6), особенностью которой является параллельное выполнение прямого и обратного ДКП в цикле синхронизации процессора и сокращение аппаратных затрат в два раза. Архитектура для вычисления прямого и обратного ДКП состоит из модулей четной и нечетной части вычисления ДКП и ОДКП, модулей пред- и постобработки данных и памяти для сохранения промежуточных значений 1D ДКП, которые в дальнейшем будут использоваться при вычислении двумерного 2D ДКП (см. рисунок 6).

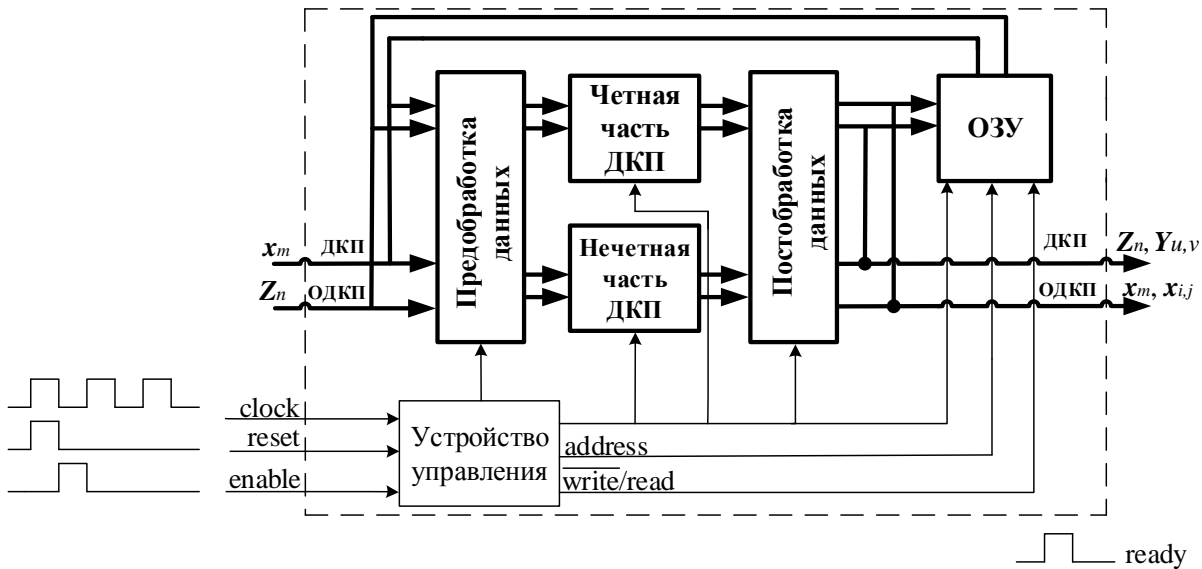


Рисунок 6. – Архитектура универсального процессора прямого и обратного ДКП

Вычисление модулей четной и нечетной части прямого и обратного ДКП происходит по следующим формулам:

$$\begin{bmatrix} Z_0 \\ Z_4 \\ d_0 \\ d_1 \end{bmatrix} = c_4 \begin{bmatrix} a_0 + a_3 + a_1 + a_2 \\ a_0 + a_3 - (a_1 + a_2) \\ Z_0 + Z_4 \\ Z_0 - Z_4 \end{bmatrix}; \quad \begin{bmatrix} d_2 \\ d_3 \\ Z_2 \\ Z_6 \end{bmatrix} = \begin{bmatrix} Z_2 & Z_6 \\ -Z_6 & Z_2 \\ a_0 - a_3 & a_1 - a_2 \\ -(a_1 - a_2) & a_0 - a_3 \end{bmatrix} \begin{bmatrix} c_2 \\ c_6 \end{bmatrix},$$

$$\text{где } \begin{bmatrix} d_0 \\ d_1 \\ d_2 \\ d_3 \end{bmatrix} = \frac{1}{4} \begin{bmatrix} a_0 + a_3 \\ a_1 + a_2 \\ a_0 - a_3 \\ a_1 - a_2 \end{bmatrix}, \quad \frac{1}{2} \begin{bmatrix} a_0 \\ a_1 \\ a_2 \\ a_3 \end{bmatrix} = \begin{bmatrix} d_0 + d_2 \\ d_1 + d_3 \\ d_1 - d_3 \\ d_0 - d_2 \end{bmatrix};$$

$$\begin{bmatrix} Z_7 \\ Z_5 \\ Z_1 \\ Z_3 \end{bmatrix} = \begin{bmatrix} -b_3 & b_2 & b_0 & -b_1 \\ -b_1 & b_3 & b_2 & b_0 \\ b_0 & b_1 & b_3 & b_2 \\ -b_2 & b_0 & -b_1 & -b_3 \end{bmatrix} \begin{bmatrix} c_1 \\ c_3 \\ c_7 \\ c_5 \end{bmatrix}; \frac{1}{2} \begin{bmatrix} b_0 \\ b_1 \\ b_3 \\ b_2 \end{bmatrix} = \begin{bmatrix} Z_1 & Z_3 & Z_7 & Z_5 \\ -Z_5 & Z_1 & -Z_3 & -Z_7 \\ -Z_7 & Z_5 & Z_1 & -Z_3 \\ -Z_3 & Z_7 & Z_5 & Z_1 \end{bmatrix} \begin{bmatrix} c_1 \\ c_3 \\ c_7 \\ c_5 \end{bmatrix},$$

где  $c_i = \cos(ip/16)$  – постоянные коэффициенты ДКП и ОДКП,  $x_m$  и  $Z_m$  – входные и выходные данные соответственно, которые представляются векторами:  $\mathbf{x} = [x_0 \ x_1 \ x_2 \ x_3 \ x_4 \ x_5 \ x_6 \ x_7]^T$ ;  
 $\mathbf{Z} = [Z_0 \ Z_1 \ Z_2 \ Z_3 \ Z_4 \ Z_5 \ Z_6 \ Z_7]^T$ .

Данные модули реализованы на схемах распределенной арифметики 1-ВААТ, характеризующихся наименьшей ошибкой округления и минимальными аппаратными затратами.

Модули пред- и постобработки данных представляются в виде банка входных регистров и мультиплексоров, сумматоров и демультимплексоров, которые распределяют результаты вычислений ДКП и ОДКП в выходные регистры, согласно формулам:

$$\mathbf{a} = \begin{bmatrix} a_0 \\ a_1 \\ a_2 \\ a_3 \end{bmatrix} = \begin{bmatrix} x_0 + x_7 \\ x_1 + x_6 \\ x_2 + x_5 \\ x_3 + x_4 \end{bmatrix}; \mathbf{b} = \begin{bmatrix} b_0 \\ b_1 \\ b_2 \\ b_3 \end{bmatrix} = \begin{bmatrix} x_0 - x_7 \\ x_1 - x_6 \\ x_2 - x_5 \\ x_3 - x_4 \end{bmatrix}; \begin{bmatrix} x_0 \\ x_1 \\ x_2 \\ x_3 \end{bmatrix} = \frac{1}{2}(\mathbf{a} + \mathbf{b}); \begin{bmatrix} x_7 \\ x_6 \\ x_5 \\ x_4 \end{bmatrix} = \frac{1}{2}(\mathbf{a} - \mathbf{b}).$$

Минимальная пропускная способность равна 19 тактам синхросигнала, а максимальная – трем тактам, зависит от параметра  $L$  и длины ступеней конвейера в каждом отдельном модуле процессора ДКП-ОДКП. Данную архитектуру процессора можно рассматривать как структурное решение для реализации обратимого целочисленного 2D декоррелирующего преобразователя для систем кодирования изображений по схеме L2L.

**Четвертая глава** посвящена созданию программируемой системы на кристалле ПЛИС с архитектурой FPGA (Virtex xc4vsx25-12ff668) для решения задач 2D трансформационного кодирования изображений на основе выбранных методом множителей Лагранжа или альтернативным методом весовых коэффициентов структурных решений целочисленного ДКП (таблица 1) с БЛСП ДКП-ОДКП.

Таблица 1. – Синтез выбранных структур ДКП на FPGA Virtex4 xc4vlx25-10ff668

| Архитектура               | Slices | Частота, МГц | F. F. | LUTs | MSE                    | 8-ДКП в секунду    |
|---------------------------|--------|--------------|-------|------|------------------------|--------------------|
| 8-ДКП <sub>II</sub> -6bit | 876    | 304,900      | 1058  | 1573 | $3,4332 \cdot 10^{-5}$ | $6,35 \cdot 10^6$  |
| ДКП-4-ВААТ                | 391    | 169,387      | 127   | 732  | $4,5670 \cdot 10^{-4}$ | $12,10 \cdot 10^6$ |
| ДКП-ОДКП                  | 338    | 154,540      | 463   | 619  | $2,2118 \cdot 10^{-4}$ | $5,94 \cdot 10^6$  |

Реализация универсального рекурсивного процессора ДКП-ОДКП требует меньше ресурсов кристалла ПЛИС с архитектурой FPGA, чем оптимизированные под заданную ПЛИС схемы процессоров ДКП с конвейеризацией вычислений (8-ДКП<sub>П</sub>-6bit) и на распределённой арифметике (ДКП-4-ВААТ), при сопоставимой производительности. Отличительной особенностью этого процессора является применение операционного блока, выполняющего операции как прямого, так и обратного ДКП, а также то, что данную схему можно использовать для обработки исходных изображений по схеме L2L.

Разработана программируемая система на кристалле ПЛИС с архитектурой FPGA (FPSoC) XC4 VLX25-FF668-10 трансформационного кодирования цифровых изображений по схеме L2L, где управляющим ядром является софт-процессор MICROBLAZE, а универсальный процессор 2D ДКП-ОДКП подключен в виде IP-компоненты (рисунок 7).

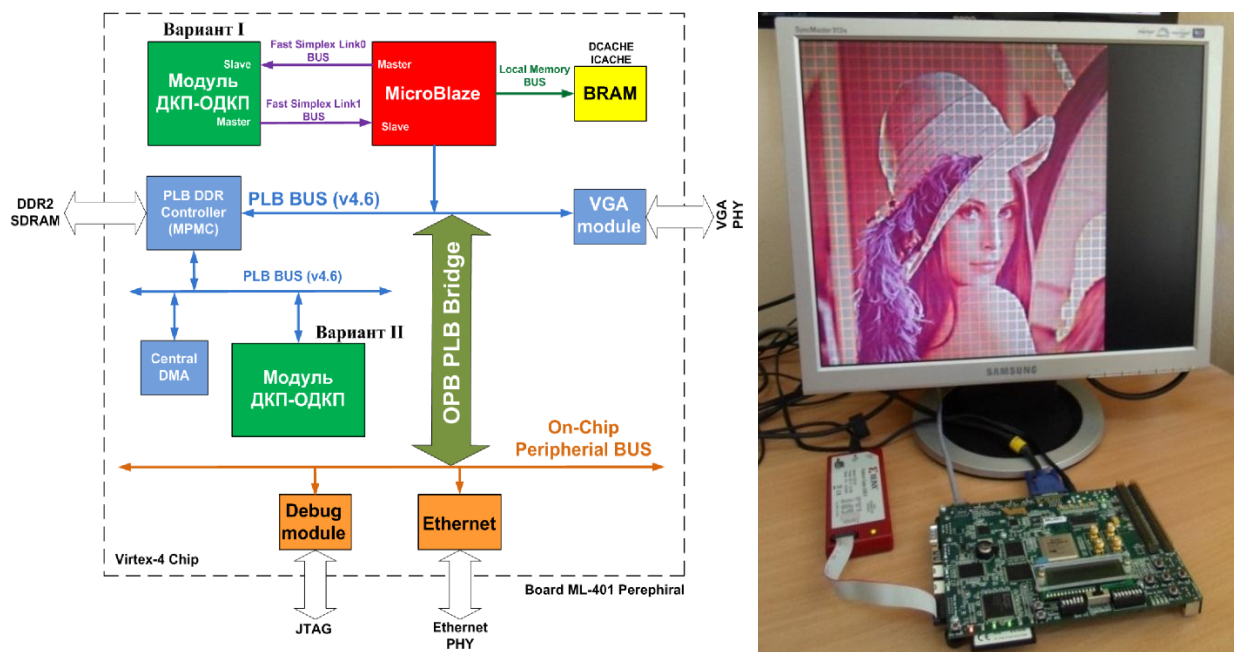


Рисунок 7. – FPSoC-компрессии изображений на XC4 VLX25-FF668-10 Xilinx ML-401

**Пятая глава** посвящена экспериментальным исследованиям системы компрессии изображений на основе предложенной архитектуры универсального 2D ДКП-ОДКП процессора (рисунок 8). Особенностью данного процессора является параллельное выполнение прямого и обратного ДКП в цикле синхронизации и сокращение аппаратных затрат по сравнению со стандартной архитектурой разделимого 2D декоррелирующего преобразования на основе ДКП в два раза. Тестирование универсального процессора 2D ДКП-ОДКП (разрядность арифметики процессора 12 бит) вычисления 2D декоррелирующего преобразования изображений (512×512 пикселей, 8 бит, блок 8×8) показало, что исходное изображение восстанавливается с точностью до бита, следовательно, преобразование 2D ДКП-ОДКП



является обратимым «целое к целому» преобразованием и соответствует необходимым условиям трансформационного кодирования цифрового изображения по схеме L2L.

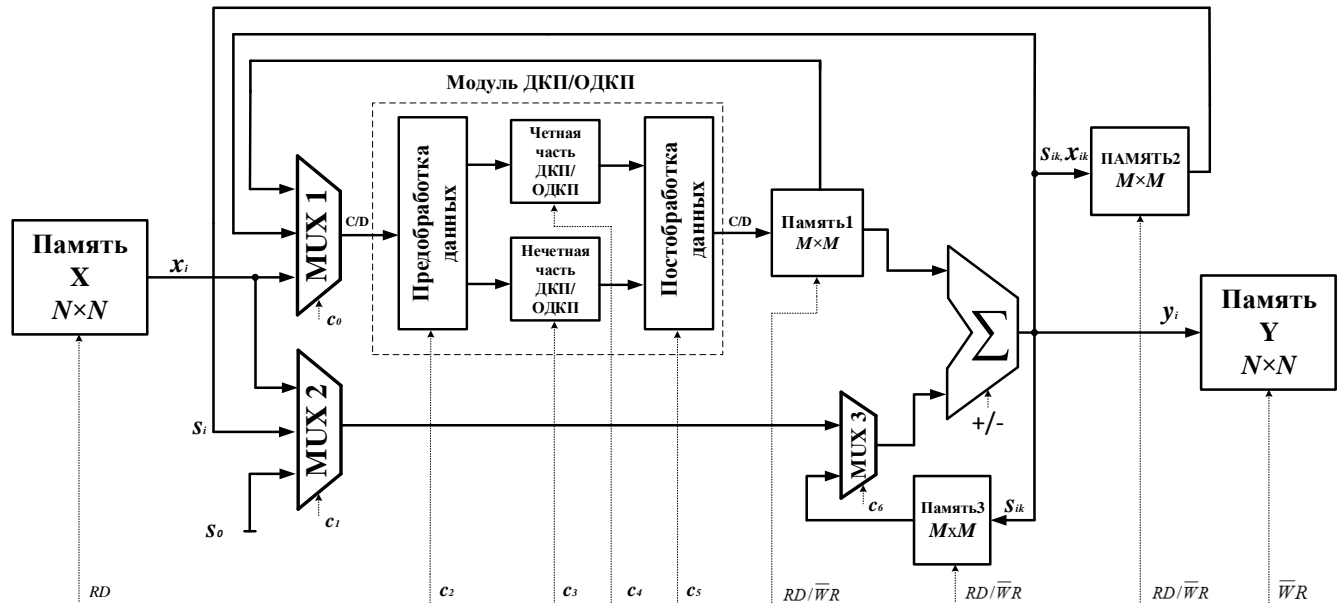


Рисунок 8. – Преобразователь L2L на основе универсального 2D ДКП-ОДКП процессора

Таблица 2. – Сравнение аналогичных систем сжатия по показателю PSNR [дБ]

| Изображение | bpp  | 2D ДКП-ОДКП  | Suzuki       | Komatsu | Fukuma | Tran  | Chokchaitam |
|-------------|------|--------------|--------------|---------|--------|-------|-------------|
| “Lena”      | 0,25 | 28,79        | <b>31,86</b> | 31,83   | 31,40  | 29,03 | 31,80       |
|             | 0,50 | <b>35,78</b> | 35,56        | 34,38   | 34,41  | 32,25 | 35,40       |
|             | 1,00 | <b>40,53</b> | 39,12        | 36,68   | 38,70  | 35,52 | 38,82       |
| “Barbara”   | 0,25 | 25,12        | <b>26,95</b> | 26,93   | 26,94  | 23,70 | 26,69       |
|             | 0,50 | <b>32,42</b> | 30,68        | 30,65   | 30,67  | 27,14 | 30,32       |
|             | 1,00 | <b>39,05</b> | 36,03        | 35,88   | 35,97  | 31,18 | 35,73       |

В режиме кодирования цифровых изображений с потерями результаты сжатия 1:32, 1:16, 1:8 по объективному показателю PSNR сопоставимы с альтернативными преобразованиями (таблица 2) и изображение восстанавливается без видимых артефактов.

## ЗАКЛЮЧЕНИЕ

### Основные научные результаты диссертации

1. Предложен алгоритм блочной лестничной структурной параметризации декоррелирующего преобразования в схеме трансформационного кодирования L2L на основе целочисленного прямого и обратного ДКП с коррекцией артефакта «шахматная доска» в восстановленном изображении, особенностью которого является

параллельное вычисление ДКП и ОДКП в итерационном цикле, число операций округления на 1D преобразование вектора  $M \times 1$  сокращается в  $2M$  раз по сравнению с прямой реализацией БЛСП [4, 9, 10, 11, 18, 19].

2. Разработан алгоритм структурного синтеза целочисленных быстрых ДКП на основе решения многокритериальной задачи оптимизации при заданных структурных ограничениях с помощью метода множителей Лагранжа, что позволяет найти рациональные схемные решения, характеризующиеся модульностью, регулярностью структуры, конвейеризацией вычислений, малым размером памяти. Предложено функционально-архитектурное проектирование целочисленных процессоров ДКП встраиваемых в программируемые системы на кристалле ПЛИС, в основу которого положена спиралевидная модель, что позволяет осуществлять возврат и коррекцию предыдущих этапов процесса проектирования [3, 4, 12, 16, 20].

3. Разработаны быстрые алгоритмы целочисленной аппроксимации модифицированной схемы Лофлера вычисления 8-ДКП<sub>II</sub> на основе конвейеризации вычислений, операции вращения на нетривиальные углы предлагается выполнять на основе двух альтернативных методов: распределенной арифметики и лестничной схемной параметризации с рациональными коэффициентами, при этом структуры процессоров целочисленных ДКП представляют собой многоступенчатые конвейеры, достоинством которых является возможность настройки на заданную производительность за счет выбора параллелизма в ступенях конвейера [1, 2, 3, 5, 6, 7, 8, 13, 14, 15, 16, 17].

4. Предложена архитектура универсального процессора вычисления перфективного 2D декоррелирующего преобразования для кодирования изображений по схеме L2L (2D ДКП-ОДКП), особенностью которой является параллельное выполнение прямого и обратного ДКП в цикле синхронизации процессора и сокращение аппаратных затрат по сравнению со стандартной архитектурой делимого 2D декоррелирующего преобразования на основе ДКП в два раза [4, 10, 11].

5. Разработана программируемая система на кристалле ПЛИС с архитектурой FPGA (FPSoC) XC4 VLX25-FF668-10 трансформационного кодирования цифровых изображений по схеме L2L. Тестирование универсального процессора 2D ДКП-ОДКП показало, что исходное изображение восстанавливается с точностью до бита, в режиме кодирования цифровых изображений с потерями результаты сжатия 1:32, 1:16, 1:8 по объективному показателю PSNR сопоставимы с альтернативными преобразованиями и изображение восстанавливается без видимых артефактов «блочности» и «ореолов», а для изображений с относительно сильными высокочастотными компонентами (“Barbara”) 2D ДКП-ОДКП преобразование имеет выше эффективность – от 1 до 3 дБ [3, 4, 11, 12, 16, 19, 20].

## **Рекомендации по практическому использованию результатов**

Разработанные методы структурного синтеза целочисленных ДКП для трансформационного кодирования изображений по схеме L2L и их быстрое прототипирование в программируемую систему на кристалле ПЛИС могут использоваться для обработки снимков с космических аппаратов и медицинских изображений по схеме lossless, а также в бытовых системах мультимедиа: сотовая связь, IP-телефония, фотоаппараты, видеокамеры и т. д. Разработаны и внедрены на предприятиях Республики Беларусь следующие аппаратно-программные средства и мобильные реконфигурируемые системы на кристалле:

1. Методы быстрого прототипирования динамически реконфигурируемых процессоров ДКП. Лекционный материал в курсе «Проектирование ЭВС с динамически реконфигурируемой архитектурой» для студентов 4 курса специальности 1 - 40 02 02 «Электронные вычислительные средства» – БГУИР, Минск, Республика Беларусь.

2. Технология быстрого прототипирования встраиваемых процессоров ДКП в FPSoC для трансформационного кодирования изображений по схеме L2L. – «НТЛаб-системы», Минск, Республика Беларусь.

3. Стенд для исследований и быстрого создания прототипа встраиваемых программируемых систем на ПЛИС для мультимедийных приложений. – «НТЛаб-системы», Минск, Республика Беларусь.

4. Встраиваемый рекурсивный универсальный ДКП-ОДКП процессор FPSoC реального времени на ПЛИС XC4VLX25-FF668-10В для системы трансформационного кодирования изображений по схеме L2L. – «НТЛаб-системы», Минск, Республика Беларусь.

## **СПИСОК ПУБЛИКАЦИЙ СОИСКАТЕЛЯ УЧЕНОЙ СТЕПЕНИ**

### **Главы в монографиях**

1. Ключеня, В. В. FPGA-ориентированный ДКП-процессор для встраиваемых систем реального времени / В. В. Ключеня, Петровский А. А. // Быстрое проектирование систем мультимедиа от прототипа / Ал. А. Петровский, А. В. Станкевич, А. А. Петровский. – Минск: Бестпринт, 2011. – С. 173–207.

### **Статьи в рецензируемых научных журналах**

2. Ключеня, В. В. Структурные решения процессора ДКП для встраиваемых систем реального времени / В. В. Ключеня // Доклады БГУИР. – 2009. – № 6(44). – С. 75–81.

3. Ключеня, В. В. Выбор оптимальной реализации структурного решения процессора ДКП на распределенной арифметике / В. В. Ключеня, А. А. Петровский // Доклады БГУИР. – 2010. – № 7(53). – С. 66–75.

4. Ключеня, В. В. Быстрое прототипирование встраиваемых программируемых систем на ПЛИС для мультимедийных приложений / В. В. Ключеня, Н. А. Петровский // Информатика. – 2015. – № 3(47). – С. 13–28.

### **Статьи в сборниках материалов научных конференций**

5. Kluchenyu, V. DCT processors structural decisions and their implementation for embedded real-time multimedia system / V. Kluchenyu, A. Petrovsky // Proceeding of the 5th International Conference on Neural Networks and Artificial Intelligence (ICNNAI'2008) Minsk, 27 – 30 May 2008 / Minsk, 2008. – P. 107–112.

6. Ключеня, В. В. 2-D ДКП процессор для встраиваемых систем реального времени / В. В. Ключеня // Информационные системы и технологии (IST'2010): материалы VI Международной конференции-форума, Минск, 24 – 25 ноября 2010 г. / Минск, 2010 – С. 545–548.

7. Kluchenyu, V. FPGA architecture of DCT processor based lifting steps for real-time embedded applications / V. Kluchenyu // Proceedings of the 11-th International Conference Pattern Recognition and Information Processing (PRIP'2011), Minsk, 18 – 20 May 2011 / Minsk, 2011. – P. 259–262.

8. Ключеня, В. В. Процессор ДКП на целочисленной арифметике с перфективной реконструкцией / В. В. Ключеня // Цифровая обработка сигналов и ее применение – DSPA-2013: материалы 15-й Международной конференции, Москва, 26 – 28 марта 2013 г.: в 2 т. / М., 2013. – Т. 2. – С. 215–218.

9. Ключеня, В. В. Модуль вычисления ДКП на лестничных структурах для сжатия данных / В. В. Ключеня, А. А. Петровский // Международная научно-техническая конференция, приуроченная к 50-летию МРТИ-БГУИР: материалы конференции, Минск, 18–19 марта 2014 г. : в 2 т. / Минск, 2014. – Т. 1. – С. 287–289.

10. Ключеня, В. В. Модуль вычисления прямого и обратного ДКП для систем сжатия данных / В. В. Ключеня, А. А. Петровский // Цифровая обработка сигналов и ее применение – DSPA-2014: материалы 16-й Международной конференции, Москва, 26 – 28 марта 2014 г.: в 2 т. / М., 2014. – Т. 2. – С. 642–645.

11. Kliuchenia, V. Architecture of the DCT-IDCT processor for lossless scheme coding / V. Kliuchenia, A. Petrovsky // Proceedings of the 12-th International Conference Pattern Recognition and Information Processing (PRIP'2014), Minsk, 28 – 30 May 2014 / Minsk, 2014. – P. 119–124.

12. Ключеня, В. В. Исследование реализаций алгоритмов ДКП на основе MICROBLAZE / В. В. Ключеня, Н. А. Петровский // Цифровая обработка сигналов и

ее применение – DSPA-2015: материалы 17-й Международной конференции, Москва, 25 – 27 марта 2015 г.: в 2 т. / М., 2015. – Т. 2. – С. 631–636.

### **Тезисы докладов в сборниках материалов научных конференций**

13. Ключеня, В. В. Реализация процессора дискретного косинусного преобразования на распределенной арифметике / В. В. Ключеня // Современные средства связи: материалы XIII Международной научно-технической конференции, Минск, 7 – 9 октября 2008 г. / Минск, 2008. – С. 147.

14. Ключеня, В. В. Дискретное косинусное преобразование на основе CORDIC алгоритма / В. В. Ключеня // Современные средства связи: материалы XIII Международной научно-технической конференции, Минск, 7 – 9 октября 2008 г. / Минск, 2008. – С. 168.

15. Ключеня, В. В. Проектирование реконфигурируемого процессора дискретного косинусного преобразования / В. В. Ключеня // Информационные системы и технологии (IST'2009): материалы V Международной конференции-форума, Минск, 16 – 17 ноября 2009 г. : в 2 ч. / Минск, 2009. – Ч. 2. – С. 205–206.

16. Ключеня, В. В. Быстрое прототипирование ДКП-процессора для встраиваемых систем реального времени / В. В. Ключеня // Информационные технологии и системы (ИТС'2011): материалы международной научной конференции, Минск, 26 октября 2011 г. / БГУИР. – Минск, 2011. – С. 274–275.

17. Ключеня, В. В. Особенности реализации дискретного косинусного преобразования с лестничной структурной параметризацией на FPGA / В. В. Ключеня // Информационные технологии и системы (ИТС'2012): материалы международной научной конференции, Минск, 24 октября 2012 г. / БГУИР. – Минск, 2012. – С. 216–217.

18. Ключеня, В. В. Процессор ДКП для систем компрессии мультимедиа данных без потерь и с потерями / В. В. Ключеня // Информационные технологии и системы (ИТС'2013): материалы международной научной конференции, Минск, 23 октября 2013 г. / БГУИР. – Минск, 2013. – С. 186–187.

19. Ключеня, В. В. Архитектура модуля вычисления ДКП-ОДКП с перфективной реконструкцией для обработки изображений без потерь / В. В. Ключеня // Информационные технологии и системы (ITS'2014): материалы международной научной конференции, Минск, 29 октября 2014 г. / БГУИР. – Минск, 2014. – С. 182–183.

20. Ключеня, В. В. Стенд исследований алгоритмов обработки изображений на основе отладочного модуля XILINX ML-401 / В. В. Ключеня, Н. А. Петровский // Информационные технологии и системы (ITS'2014): материалы международной научной конференции, Минск, 29 октября 2014 г. / БГУИР. – Минск, 2014. – С. 184–185.



## РЭЗІЮМЭ

Ключэня Віталій Васільевіч

### ХУТКАЕ ПРАТАТЫПАВАННЕ ЎБУДАВАНЫХ ПРАЦЭСАРАЎ ДЫСКРЭТНАГА КОСІНУСНАГА ПЕРАЎТВАРЭННЯ ДЛЯ ТРАНСФАРМАЦЫЙНАГА КАДЗІРАВАННЯ ВЫЯЎ

*Ключавыя словы:* дыскрэтнае косінуснае пераўтварэнне, блокавая лесвічная структурная параметрызацыя, кадзіраванне з стратамі і без страт.

*Мэта работы:* распрацоўка метадаў структурнага сінтэзу цэлалікавых дыскрэтных косінусных пераўтварэнняў для трансфармацыйнага кадзіравання выяў па схеме L2L (lossless-to-lossy) і іх хуткае прататыпаванне ў праграмаваных сістэмах на крышталі ПЛІС.

*Атрыманыя вынікі і іх навізна:* прапанаваны алгарытм блокавай лесвічнай структурнай параметрызацыі дэкарэляцыйнага пераўтварэння ў схеме трансфармацыйнага кадзіравання L2L на аснове цэлалікавых ДКП з карэкцыяй артэфакта «шахматная дошка» у адноўленай выяве, асаблівасцю якога з'яўляецца паралельнае вылічэнне ДКП і АДКП у ітэрацыйным цыкле; распрацаваны метады структурнага сінтэзу цэлалікавых хуткіх ДКП на аснове рашэння шматкрытэрыяльнай задачы аптымізацыі пры зададзеных абмежаваннях, што дазваляе знайсці рацыянальныя схемныя рашэнні, якія характарызуюцца модульнасцю, рэгулярнасцю структуры, канвеерызаваннем вылічэнняў, малым памерам памяці; распрацаваны хуткія алгарытмы цэлалікавай апраксімацыі мадыфікаванай схемы Лофлера вылічэння 8-ДКП<sub>ц</sub>, годнасцю якіх з'яўляецца магчымасць налады на зададзеную прадукцыйнасць за кошт выбару паралелізму ў прыступках канвеера; распрацавана архітэктурная працэсара перфектыўнага 2D цэлалікавага дэкарэляцыйнага пераўтварэння на аснове блокавай лесвічнай параметрызацыі ДКП-АДКП, вылічальны працэс у якім арганізаваны па рэкурсіўнай вылічальнай схеме, што дазваляе за тры працэсарных цыкла выканаць прамое і адваротнае пераўтварэнні.

*Рэкамендацыі па выкарыстанні і вобласць ужывання:* распрацаваныя метады праектавання працэсараў ДКП могуць быць выкарыстаны для мультымедычных прыкладанняў кампрэсіі дадзеных, апрацоўцы здымкаў з касмічных апаратаў і медыцынскіх выяў, сававай сувязі, ІР-тэлефаніі, фатаапаратаў, відэакамер. Вынікі ўкаранены на прадпрыемствах Рэспублікі Беларусь (ЧНПУП «НТЛаб-сістэмы» г. Мінск), а таксама выкарыстоўваюцца ў навучальным працэсе БДУІР для спецыяльнасці 1-40 02 02 «Электронныя вылічальныя сродкі».

## РЕЗЮМЕ

Ключеня Виталий Васильевич

### БЫСТРОЕ ПРОТОТИПИРОВАНИЕ ВСТРАИВАЕМЫХ ПРОЦЕССОРОВ ДИСКРЕТНОГО КОСИНУСНОГО ПРЕОБРАЗОВАНИЯ ДЛЯ ТРАНСФОРМАЦИОННОГО КОДИРОВАНИЯ ИЗОБРАЖЕНИЙ

*Ключевые слова:* дискретное косинусное преобразование, блочная лестничная структурная параметризация, кодирование с потерями и без потерь данных.

*Цель работы:* разработка методов структурного синтеза целочисленных дискретных косинусных преобразований для трансформационного кодирования изображений по схеме L2L (lossless-to-lossy) и их быстрое прототипирование в программируемые системы на кристалле ПЛИС.

*Полученные результаты и их новизна:* предложен алгоритм блочной лестничной структурной параметризации декоррелирующего преобразования изображений в схеме трансформационного кодирования L2L на основе целочисленных ДКП с коррекцией артефакта «шахматная доска» в восстановленном изображении, особенностью которого является параллельное вычисление ДКП и ОДКП в итерационном цикле; разработан метод структурного синтеза целочисленных быстрых ДКП на основе решения многокритериальной задачи оптимизации при заданных ограничениях, что позволяет найти рациональные схемные решения, характеризующиеся модульностью, регулярностью структуры, конвейеризацией вычислений, малым размером памяти; разработаны быстрые алгоритмы целочисленной аппроксимации модифицированной схемы Лофлера вычисления 8-ДКП<sub>II</sub>, достоинством которых является возможность настройки на заданную производительность за счет выбора параллелизма в ступенях конвейера; разработана архитектура процессора перфективного 2D целочисленного декоррелирующего преобразования на основе блочной лестничной параметризации ДКП-ОДКП, вычислительный процесс в котором организован по рекурсивной вычислительной схеме, что позволяет за три процессорных цикла выполнить прямое и обратное преобразования.

*Рекомендации по использованию и область применения:* разработанные методы проектирования процессоров ДКП могут быть использованы для мультимедийных приложений компрессии данных, обработки снимков с космических аппаратов и медицинских изображений, сотовой связи, IP-телефонии, фотоаппаратов, видеокамер. Результаты внедрены на предприятиях Республики Беларусь (ЧНПУП «НТЛаб-системы» г. Минск), а также используются в учебном процессе БГУИР для специальности 1-40 02 02 «Электронные вычислительные средства».

## SUMMARY

Kliuchenia Vitali Vasilyevich

### RAPID PROTOTYPING OF EMBEDDED PROCESSORS DISCRETE COSINE TRANSFORM FOR TRANSFORMATION IMAGE ENCODING

*Key words:* discrete cosine transform, block ladder structural parameterization, encoding with lossy and lossless.

*The purpose of research* is development of methods structural synthesis of integer discrete cosine transform for transform L2L (lossless-to-lossy) image coding and their rapid prototyping in Field Programmable System-on-Chip.

*The obtained results and their novelty:* the algorithm of the block ladder structural parameterization decorrelated transform images coding by L2L scheme based on integer DCT with correction artifact "chessboard" in the reconstructed image is proposed, which is a feature of the parallel calculation of DCT and IDCT in the iterative cycle; developed a method of structural synthesis fast integer DCT based solutions multicriteria optimization problem under given constraints, that allows to find rational solutions circuit, characterized by modularity, regularity of structure, pipelining calculations, small memory size; developed algorithms integer approximation of the modified scheme Loeffler calculation 8-DCT<sub>II</sub>, merit is the ability to customize a predetermined performance by selecting parallelism of pipeline stages; designed processor architecture perfect 2D integer decorrelated transform based on block ladder structural parameterization DCT-IDCT, in which the computational process is organized by the recursive computational procedure that allows three processor cycles to perform direct and inverse transformation.

*Recommendations on the use and field of application:* the developed design methods of DCT processors can be used for multimedia data compression, processing of images from satellites and medical imaging, mobile communication, IP-phones, photographic cameras, video cameras. The results are implemented in enterprises of the Republic of Belarus («NTLab-systems» CJSC, Minsk), as well as used in the educational process in BSUIR for speciality 1-40 02 02 «Computer engineering».



*Научное издание*

**Ключеня Виталий Васильевич**

**БЫСТРОЕ ПРОТОТИПИРОВАНИЕ ВСТРАИВАЕМЫХ  
ПРОЦЕССОРОВ ДИСКРЕТНОГО КОСИНУСНОГО  
ПРЕОБРАЗОВАНИЯ ДЛЯ ТРАНСФОРМАЦИОННОГО  
КОДИРОВАНИЯ ИЗОБРАЖЕНИЙ**

**АВТОРЕФЕРАТ**

диссертации на соискание ученой степени  
кандидата технических наук

по специальности 05.13.05 – Элементы и устройства вычислительной  
техники и систем управления

Подписано в печать  
Гарнитура «Таймс».  
Уч.-изд. л.

Формат 60x84 1/16  
Отпечатано на ризографе.  
Тираж 60 экз.

Бумага офсетная.  
Усл. печ. л.  
Заказ

Издатель и полиграфическое исполнение: учреждение образования  
«Белорусский государственный университет информатики и радиоэлектроники».  
Свидетельство о государственной регистрации издателя, изготовителя,  
распространителя печатных изданий № 1/238 от 24.04.2014,  
№ 2/113 от 07.04.2016, № 3/615 от 07.04.2014.  
ЛП № 02330/264 от 14.04.2014.  
220013, Минск, П. Бровка, 6